

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-265115
 (43) Date of publication of application : 11.10.1996

(51) Int. Cl. H03K 5/08
 H03M 1/34

(21) Application number : 08-045940 (71) Applicant : AT & T CORP
 (22) Date of filing : 04.03.1996 (72) Inventor : VALLANCOURT DAVID GERARD
 VISWANATHAN THAYAMKULANGARA R

(30) Priority

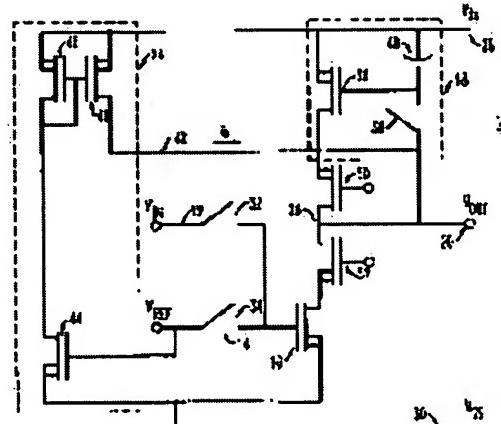
Priority number : 95 398487 Priority date : 03.03.1995 Priority country : US

(54) INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To accelerate a comparison processing speed by providing an input device for respectively converting an input signal and a reference signal to an input current and a reference current and a current copier for generating a comparison signal from the reference signal.

SOLUTION: An input voltage VIN as the input signal 12 and a reference voltage VREF are inputted to a comparator 10 for comparison and sent through a switch 14 to the input device 16. The device 16 is connected to a sampling circuit 18 and output 20 and the circuit 18 is operated as the current copier and provided with a MOSFET 36, a gate capacitor 40 and the switch 38. Two currents from the device 16 and the FET 36 collide, the voltage at the output 20 indicates which one of the two currents is larger and an output voltage is raised in the case that the voltage VREF is higher than the voltage VIN. When the comparator 10 is operated at a speed high enough to neglect junction leakage, the influence of an offset source is hardly received other than the one generated by the switch 38.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-265115

(43)公開日 平成8年(1996)10月11日

(51) Int.Cl.⁶
H 03 K 5/08
H 03 M 1/34

識別記号 庁内整理番号

厅内整理番号

F I
H 0 3 K 5/08
H 0 3 M 1/34

技術表示箇所

E

第六章 第二節 詞書類の第12、C.I.（A. C. 等）

(21) 出願番号 特願平8-45940

(22)出願日 平成8年(1996)3月4日

(31) 優先權主張番号 398487

(32) 優先日 1995年3月3日

(33) 優先権主張国 米国 (U.S)

(71) 出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP

アメリカ合衆国 10013-2412 ニューヨーク ニューヨーク アヴェニュー オブジ アメリカズ 32

(72)発明者 デイヴィッド ジェラード ヴァランコート

アメリカ合衆国、18062 パンシルバニア、
マクンギー、ブライアーウッド ドライブ
5077

(74)代理人 弁理士 三侯 弘文

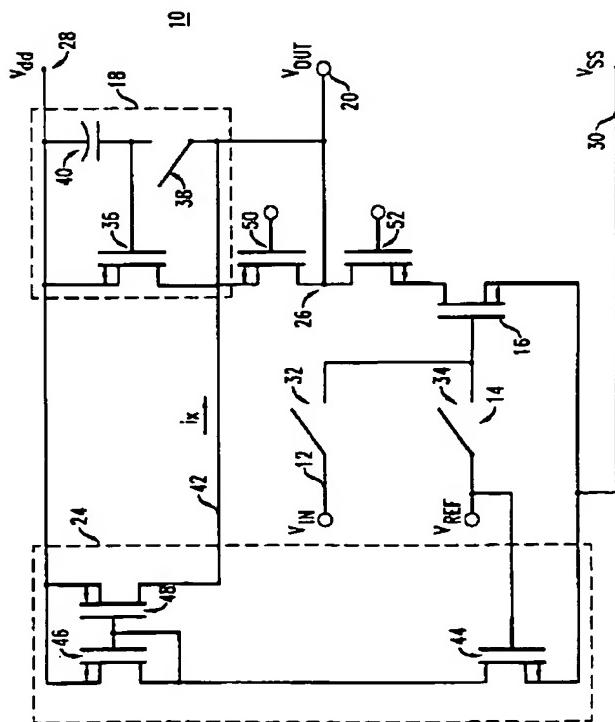
最終頁に続く

(54) 【発明の名称】 集積回路

(57) [要約]

【課題】 カレントコピアに基づいた、オフセットが小さいコンパレータを有する集積回路を実現する。

【解決手段】 集積回路は、入力ノードと、基準ノードと、入力デバイスと、カレントコピアとを有する。入力デバイスは、第1比較サイクル中に基準ノードから基準信号を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する。カレントコピアは、第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に入力電流および蓄積した基準電流から比較信号を生成する。カレントコピアは、第1比較サイクル中に閉じるスイッチと、第2スイッチを開じたことに応答して第1比較サイクル中に基準電流を蓄積するトランジスタを有する。本発明のコンパレータを用いて改良されたフラッシュコンバータも実現される。



【特許請求の範囲】

【請求項1】 入力ノードと、
基準ノードと、
第1比較サイクル中に基準ノードから基準信号を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する入力デバイスと、
第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に入力電流および蓄積した基準電流から比較信号を生成するカレントコピアとからなることを特徴とするコンパレータを有する集積回路。

【請求項2】 カレントコピアは、
第1比較サイクル中に閉じるスイッチと、
前記スイッチが閉じたことに応答して、第1比較サイクル中に基準電流を蓄積するトランジスタとを有することを特徴とする請求項1の集積回路。

【請求項3】 入力デバイスおよびカレントコピアに接続され、基準電流の第1の部分として過小評価電流を生成する調整回路をさらに有し、
カレントコピアは、前記過小評価電流に応答して、基準電流の第2の部分を蓄積することにより比較信号の生成中のオフセットを縮小することを特徴とする請求項1の集積回路。

【請求項4】 比較信号の生成に伴う利得を高める増幅器をさらに有することを特徴とする請求項1の集積回路。

【請求項5】 前記増幅器は、入力デバイスとカレントコピアの間にカスコード接続された複数のトランジスタを含むことにより利得を高めることを特徴とする請求項4の集積回路。

【請求項6】 カレントコピアは、基準信号が入力信号より大きい場合に高い基準信号を生成することを特徴とする請求項1の集積回路。

【請求項7】 第1比較サイクル中に基準ノードを入力デバイスに接続する基準スイッチと、第2比較サイクル中に入力ノードを入力デバイスに接続する入力スイッチと、カレントコピアとからなるコンパレータにおいて、入力デバイスは、第1および第2の導電性素子を有する入力トランジスタを含み、入力デバイスは、第1比較サイクル中に基準ノードから第1の導電性素子において基準信号を受信し、第2比較サイクル中に入力ノードから第1の導電性素子において入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換し、
カレントコピアは、
入力トランジスタの第1の導電性要素に接続された第1の導電性要素と、第2の導電性要素とを有するコピアトランジスタと、
第1比較サイクル中に閉じ、第2比較サイクル中に開

キ 第1比較サイクル中にコピアトランジスタとを有し、

コピアトランジスタは、コピアスイッチが開いたことに応答して、入力電流を受信し、比較信号を生成し、第2比較サイクル中に、蓄積した基準電流と入力電流を比較した比較信号に伴うオフセットを縮小することを特徴とするコンパレータ。

【請求項8】 コピアトランジスタを出力ノードに接続する第1のトランジスタと、

第1のトランジスタとカスコード接続され出力ノードを入力トランジスタに接続する第2のトランジスタを有する増幅器をさらに有し、

第1および第2のトランジスタは、入力電流および蓄積された基準電流に応答して、比較信号の生成に伴う利得を増大させることを特徴とする請求項7のコンパレータ。

【請求項9】 カレントコピアは、基準信号が入力信号より大きい場合に高い比較信号を生成し、それにより、基準信号に対する入力信号の反転信号を生成することを特徴とする請求項7のコンパレータ。

【請求項10】 入力デバイスは入力信号と基準信号の間で時分割され、各信号を対応する電流に続けて変換することを特徴とする請求項7のコンパレータ。

【請求項11】 入力信号を変換するフラッシュコンバータにおいて、当該フラッシュコンバータは、複数の基準電圧を生成するための抵抗要素の列と、各基準ノードにおける各基準電圧に対応するコンパレータを複数個有し、各コンパレータは、

入力ノードと基準ノードの間のスイッチングを行う第1のスイッチと、

第1比較サイクル中に各基準ノードから基準電圧を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する入力デバイスと、

第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に、蓄積した基準電流と入力電流から比較信号を生成するカレントコピアとからなることを特徴とするフラッシュコンバータ。

【請求項12】 各コンパレータの入力デバイスが、コピーされた基準電流の変動を縮小するために相補型金属酸化物半導体(CMOS)を有することを特徴とする請求項11のフラッシュコンバータ。

【請求項13】 オフセットの少ない比較信号を生成する方法において、

入力ノードにおいて入力信号を受信するステップと、
基準ノードにおいて基準信号を受信するステップと、
入力デバイスにおいて第1比較サイクル中に基準ノードから基準入力信号を受信するステップと、
基準信号から基準電流を生成するステップと、
第1比較サイクル中にコピアトランジスタとを有し、

ップと、
第1比較サイクル中にカレントコピアに基準電流を蓄積するステップと、
入力デバイスにおいて第2比較サイクル中に入力ノードから入力信号を受信するステップと、
入力デバイスにおいて第2比較サイクル中に入力電流を生成するステップと、
第2比較サイクル中に、蓄積した基準電流と入力電流から比較信号を生成するステップとからなることを特徴とする、オフセットの少ない比較信号を生成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンパレータに関する、特に、カレントコピアに基づくコンパレータおよび回路に関する。

【0002】

【従来の技術】標準的な差動対コンパレータのようないくつかのコンパレータでは、入力デバイスしきい値不整合および相互コンダクタンスパラメータ不整合により電圧オフセットが生じる。カレントミラーを用いたコンパレータはこのような電圧オフセットを有する。その理由は、カレントミラー負荷がオフセットに寄与し、正確な動作のためには調整が必要であるためである。オフセット電圧はキャパシタに蓄積され、後で入力信号から差し引いて当該オフセットを調整することが多い。蓄積・差引きプロセスは遅いことがある。その理由は、コンパレータは一般に閉フィードバックループ構成で配置されるためである。アナログ-ディジタル（A/D）およびディジタル-アナログ（D/A）コンバータとともに用いる場合、このように遅いオフセットの調整は、変換プロセスの速度を制限する。

【0003】

【発明が解決しようとする課題】オフセット効果を調整するいくつかのコンパレータ回路では、電流がある基準に比例するように蓄積され、入力信号が入力デバイスに供給され、クロックフィードスルーが抑制される。しかし、このようなコンパレータも、オフセット調整は遅い。オフセット調整は、フラッシュコンバータなどのような他の回路にも必要である。オフセット効果を縮小または消去するとともに、閉ループ構成や、コンパレータの入力における直接スイッチ電荷注入を行わずに比較処理速度を大きくすることが所望される。

【0004】

【課題を解決するための手段】本発明によれば、カレントコピアに基づいた、オフセットが小さいコンパレータを有する集積回路が実現される。当該集積回路は、入力ノードと、基準ノードと、第1比較サイクル中に基準ノードから基準信号を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号

イスと、第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に入力電流および蓄積した基準電流から比較信号を生成するカレントコピアとを有する。

【0005】カレントコピアは、第1比較サイクル中に閉じるスイッチと、第2スイッチを開じたことに応答して第1比較サイクル中に基準電流を蓄積するトランジスタを有することが可能である。調整回路は、入力デバイスおよびカレントコピアに接続され、基準電流の第1部分として過小評価電流を生成する。カレントコピアは、この過小評価電流に応答して、基準電流の第2部分を蓄積し、比較信号の生成におけるオフセットを縮小する。

【0006】さらに、増幅器を設け、比較信号の生成に伴う利得を増大させることも可能である。この増幅器は、利得を増大させるために、入力デバイスとカレントコピアの間にカスコード構成の複数のトランジスタを有することが可能である。比較機能出力は、入力デバイスとカレントコピアを接続するノードで生成される。このノードにおける電圧は、このノードに他の電荷フローの経路が存在しない場合、カレントコピアに蓄積された電流が入力デバイスによって生成される電流より大きいときに上昇する。

【0007】本発明のコンパレータを用いて改良されたフラッシュコンバータも実現される。

【0008】

【発明の実施の形態】図1に、本発明による、カレントコピアに基づく低オフセットコンパレータおよびフラッシュコンバータを示す。これらのデバイスにおいて、コンパレータ内の入力デバイスの不整合に伴うオフセットは、2つの入力信号の間で時分割されるただ1つの入力デバイスを用いることによって除去される。入力デバイスは各信号を統けて電流に変換する。電流コピアがこれらの信号のうちの一方の信号を蓄積する一方で、入力デバイスは他方の信号を生成し、その後で2つの電流が比較される。

【0009】オフセットを補償するため、本発明のコンパレータは、入力信号とある基準の間でスイッチする単一の入力デバイスと、同様にスイッチするサンプリング回路とを使用する。図1に示した実施例では、コンパレータ10は入力信号12を受信する。入力信号12は、スイッチ14によって、入力デバイス（入力回路）16にスイッチされる。この回路は例えば集積回路（IC）に組み込まれる。入力デバイス16は入力信号12を電流に変換する。この電流は、入力デバイス16に接続されたサンプリング回路18によって蓄積される。動作時には、コンパレータ10は、スイッチ14、入力デバイス16、およびサンプリング回路18を用いて、入力信号12と基準信号の比較信号として出力20を生成する。コンパレータ10は、スイッチ14およびサンプリング回路18を制御するコントローラ22を含むこと、また14 エネトスナコントローラ22に接続される

が可能である。このようなコントローラ 22 は、周知の方法で、コンパレータ 10 を含む集積回路、または、コンパレータに接続される集積回路の制御機構内に組み込むことが可能である。

【0010】図1のコンパレータ10は、オプションとして、入力デバイス16およびサンプリング回路18に接続された調整回路24を含むことが可能である。この調整回路24は、基準信号を過小評価し、コンパレータ10によるオフセットの調整を改善することができる。また、コンパレータ10は、比較段階中の利得を高めるための増幅器26を含むことも可能である。

【0011】図2に示したコンパレータ10の実施例では、コンパレータ10は、コンパレータ10には、比較のための入力信号12として、入力電圧 V_{IN} および基準電圧 V_{REF} が入力される。入力信号12は、スイッチ14のスイッチ32、34によってそれぞれスイッチされる。このようなスイッチ32、34は、入力デバイス16を駆動するクロックパルスに応答する金属酸化物半導体電界効果トランジスタ(MOSFET)のようなトランジスタで実現可能である。理解されるように、従来技術による他のタイプのトランジスタや等価回路も使用可能である。

【0012】スイッチされた入力信号12は入力デバイス16に送られる。入力デバイス16は、例えば、ドレンイン電圧 V_{dd} 28およびソース電圧 V_{ss} 30に接続されたMOSFETである。入力デバイス16はサンプリング回路18および出力20に接続される。実施例では、サンプリング回路18はカレントコピアである。カレントコピアは、S. J. Daubert et al., "Current Copier Cells", Electronics Letters, Vol. 24, No. 25, Dec. 1988, pp. 1560-1562に記載されている。カレントコピア18は、MOSFET36およびスイッチ38を含む。実施例では、MOSFET36のゲートキャバシタスは、カレントコピア18の動作に十分である。そうでない場合、キャバシタ40がカレントコピア18に設けられる。

【0013】デバイス50、52は、存在する場合は、これから説明するようにして性能を向上させる。存在しない場合、すなわち、それぞれのドレインからソースへの経路を短絡で置き換えた場合でも、コンパレータ10は動作する。

【0014】動作時に、コントローラ22、あるいは、独立のクロック源が、図3に示すようにクロックパルスをスイッチ32、34、38に供給する。カレントコピア18のスイッチ38は、C1とラベルされたパルス54を受信し、一方、スイッチ34、32はそれぞれC2、C3とラベルされたパルス56、58をそれぞれ受信する。特に、パルスがハイすなわちアクティブであるとき、対応するスイッチは閉じる（すなわち、導通する）。

【0015】C₁およびC₂がアクティブのとき、すなわち、スイッチ38、34がそれぞれ閉じているとき、入力デバイス16は、ほぼ次式で与えられる、MOSFET36を流れる電流を生成する。

$$I_{REF} = k_1 (W/L) \cdot I \cdot (V_{REF} - V_{T1})^2 \quad (1)$$

ただし、 k は定数であり、 W および L はそれぞれチャネルの幅および長さであり、 V_{T1} はMOSFETのしきい値電圧である。 C_1 がローのとき、上記の電流に対応するMOSFET 3 6のゲート電圧がキャパシタ 4 0に蓄積される。その後 (C_2 がローになると)、スイッチ 3 2は開く。

【0016】図3において、C₃がハイでありC₁がローのとき、入力デバイス16は次の大きさを有する電流を生成する。

$$I_{IN} = k_1 (W/L)_{IN} (V_{IN} - V_{T1})^2 \quad (2)$$

【0017】こうして、入力デバイス16およびMOSFET36からの2つの電流は衝突し、出力20における電圧は、これらの2つの電流のうちのいずれが大きいかを示す。基準電圧V_{REF}のほうが入力電圧V_{IN}より高い場合、出力電圧は上昇し、論理的決定として解釈される。

【0018】比較される電流はいずれも同じ入力デバイス16によって続けて生成され、 k_1W/L と V_{T1} はキャンセルする。コンパレータ10が、接合漏洩が無視できるほど十分に高速に動作するとき、コンパレータ10は、スイッチ38によって生成される以外にはほとんどオフセット源の影響を受けない。

【0019】カレントコピア18のスイッチ38からのフィードスルーにより、カレントコピア18に蓄積された電流に誤りが導入される。MOSFET36のドレン電流は次の通りである。

$$I_2 = \beta_2 (V_{sq2} - V_{T2})^2 \quad (3)$$

入力デバイス16のドレン電流は次式の通りである。

$$I_1 = \beta_1 (V_{qs1} - V_{T1})^2 \quad (4)$$

【0020】スイッチ38の電荷フィードスルーにより、MOSFET36のソースゲート電圧は ΔV に等しくなり、次式のように計算されるオフセットが生じる。

$$V_{OFFSET} = \Delta V (\beta_2 / \beta_1)^{1/2} \quad (5)$$

これは入力を基準にしたものである。

【0021】本発明のコンパレータ10では、オフセットは、入力デバイス16およびMOSFET36のパラメータWおよびLを調整することによって比 β_2/β_1 を最小にすることにより最小化される。

【0022】代替実施例では、過大な V_{SG2} を避けるために、図2に示したように、調整回路24が含まれられる。調整回路24は、接続42によって、入力デバイス16、カレントコピア18、および出力20に接続される。調整回路24は、 V_{REF} に接続されたMOSFET14上、其のMOSFET14、16を含むMOS

FET 48のドレインは入力デバイス16、サンプリング回路18、および出力20に接続される。調整回路24は、MOSFET 48からの接続42を流れる電流*i_x*が電流*I_{REF}*の過小評価となるとともに、MOSFET 36が残りの部分すなわち*I_{REF} - i_x*を運ぶように動作する。*i_x*が*I_{REF}*のうちの大きい割合を占める場合、入力デバイス16およびMOSFET 36のパラメータは

$$(\beta_2/\beta_1)^{1/2} \text{ および } (I_{d2}/I_{d1})^{1/2}$$

は両方とも、スイッチ38を用いたカレントコピア18によるオフセットの減少に寄与する。

【0024】上記の実施例では、入力デバイス16および調整回路のMOSFET 44のソースは共通のソース電圧*V_{ss}*30に接続される。もう1つの実施例では、MOSFET 16、44のソースと*V_{ss}*の間にバイアス電流源を含めてテール電流*I_{BIAS}*を供給することによりバイアス条件が確立される。テール電流*I_{BIAS}*により、オフセット効果を付け加えることなく、*V_{REF}*と*I_{REF}*を独立に制御することが可能となる。バイアス電流を含めた場合、式(1)および(2)は修正されるが、式(5)～(7)はそのまま成り立つ。

【0025】図2のコンパレータにおいて調整回路24を含む代替実施例では、カレントコピア18は双方向カレントコピアとすることも可能であり、これは、*i_x*が*I_{REF}*より小さいことを要求しない。

【0026】他の周知の利得向上技術を用いて、増幅器26により、比較段階中（すなわち、C₃がハイのとき）の増幅を増大させることができある。図2に示した実施例では、増幅器26は、カスコード回路を形成する一対のMOSFET 50、52であり、出力20はMOSFET 50、52のソースに接続され、入力デバイス16およびMOSFET 36のソースはそれぞれMOSFET 50、52のドレインに接続される。

【0027】図4に示したもう1つの代替実施例では、コンパレータ回路60は、上記のようにオフセットを縮小するためのカレントコピア18およびスイッチ32、34、38によるスイッチ入力の構成とともに、利得向上のためのMOSFET 62、54のカスコード構成を使用する。入力デバイス16およびMOSFET 36はインバータ機能を実行し、もう1つのインバータ66が、カスコード構成を出力68に接続する。実施例では、MOSFET 62、64は低しきい値デバイスであるが、代わりに、MOSFET 64のゲートを独立のバイアス電圧源に接続することも可能である。MOSFET 70は、図5に示す回路で説明するように基準電流を制御することが可能な手段となる。

【0028】図3について既に説明したように、スイッチ34、38が閉じると、nチャネルMOSFET 16、64のゲートは基準電圧*V_{REF}*に接続され、電流はカレントコピア18内のMOSFET 36、62にコピーされる。ノーパーク
山かたば...フリ...ンダ

β_2/β_1 を最小にするように決定される。この実施例では、図2に示した調整回路24を含むコンパレータ10のドレイン電流は、入力デバイス16およびMOSFET 36と同じではなく、オフセット電圧は次式のようになる。

$$V_{OFFSET} = \Delta V \left(g_m2/g_m1 \right) \quad (6)$$

【0023】従って、次の因子

$$|I_{d2}|/|I_{d1}|^{1/2} \quad (7)$$

る。スイッチ32が閉じると、入力信号*V_{IN}*がMOSFET 16、64に接続され、出力68における負荷は、カレントコピア18に蓄積されたコピーされた電流を取得する。次に、*V_{IN}*と*V_{REF}*の比較が、縮小したオフセットでなされる。*V_{REF}*の大きさが増大すると、蓄積される電流が過大になることもある。*V_{BIAS}*に接続されたゲートを有するpチャネルデバイス70によりこの電流を制御することが可能である。

【0029】本発明によるカレントコピアおよびスイッチ入力信号の使用によりオフセットを縮小することはさらに応用を有する。例えば、フラッシュコンバータでは、 2^n 個のコンパレータを使用してnビットの分解能が得られ、コンパレータは単純かつ高速でなければならない。図5に示すように、フラッシュコンバータは抵抗の列72、74を用いて、基準電圧*V_{R1}*、*V_{R2}*、*V_{R3}*、*V_{R4}*として複数の基準レベルを生成する。このような抵抗列により、広範囲の電流値にわたるコピーされた電流の変動が引き起こされ、特に、電流はMOSFETの二乗則特性に関係する。

【0030】電流の変動は、図5に示すように、一对の相補型デバイス76、78の直列結合のような、相補型金属酸化物半導体(CMOS)の使用により回避することが可能である。実施例では、電流バイアスされた2つの抵抗列72、74が用いられ、MOSFET 80、82が設けられ、フラッシュコンバータ内の各コンパレータの入力デバイスの電流は整合精度内ではほぼ等しくなる。図5の対76、78は、図4においてMOSFET 16、70を含む入力デバイスとして使用され、図4の複数のコンパレータをフラッシュコンバータとして接続する。

【0031】例えば第1の抵抗列72に接続されたコンパレータの場合、低しきい値デバイスはカスコード接続に本質的ではない。その理由は、第2の抵抗列74がカスコードデバイスをバイアスするために利用可能であるためである。第2の抵抗列74からの分岐を用いて、カスコードバイアス電圧を取得することが可能である。さらに他の実施例では、図6のコンパレータ84は相補的負荷を設けるため、*V_{REF}*が図5の*V_{dd}*に近づくような高い基準レベル値の場合にも使用可能である。

【0032】図7に示したもう1つの代替実施例に、カレントコピアコンパレータのAB級プッシュプル版86を示す。ノーパーク
山かたば...フリ...ンダ

ランジスタ90、96はそれぞれ図6のトランジスタ16、36と等価な機能を実行する。同時に、相補的トランジスタ88、98は、同じ機能を実行する。スイッチ94が閉じると、比較が行われ、出力は、バッファとしてのインバータ100を通じて出力ノード102において得られる。図7に示すように、オプションとしてキャパシタ106を含めることも可能である。

【0033】さらにもう1つの実施例として、低いオフセットを有する差動コンパレータ108を図8に示す。差動コンパレータ108は、基準電圧 V_{rp} 、 V_{rn} （それぞれ正および負）と、入力電圧 V_{inp} 、 V_{inn} （正および負）を、それぞれ、スイッチ110～116に接続する。スイッチ110、112は図3のパルス C_2 によってクロッキングされ、スイッチ114、116はパルス C_3 によってクロッキングされる。スイッチ110～114は、入力デバイス118、120、パルス C_1 によってクロッキングされるスイッチ122、124を含むカレントコピア、およびMOSFET126、128（オプションとして、キャパシタ130および電流バイアス132を有する）に接続される。出力ノード134、136は、差動コンパレータ108の正および負の出力である。

【0034】

【発明の効果】

【図面の簡単な説明】

【図1】本発明のコンパレータのブロック図である。

【図2】本発明のコンパレータの例示的な回路図である。

【図3】クロックパルス信号の説明図である。

【図4】インバータの説明図である。

【図5】フラッシュコンパータの抵抗列の図である。

【図6】コンパレータの代替実施例の図である。

【図7】可変しきい値インバータの説明図である。

【図8】差動コンパレータの説明図である。

【符号の説明】

10 コンパレータ

12 入力信号

14 スイッチ

16 入力デバイス

18 サンプリング回路

20 出力

22 コントローラ

24 調整回路

26 増幅器

28 ドレン電圧 V_{dd}

30 ソース電圧 V_{ss}

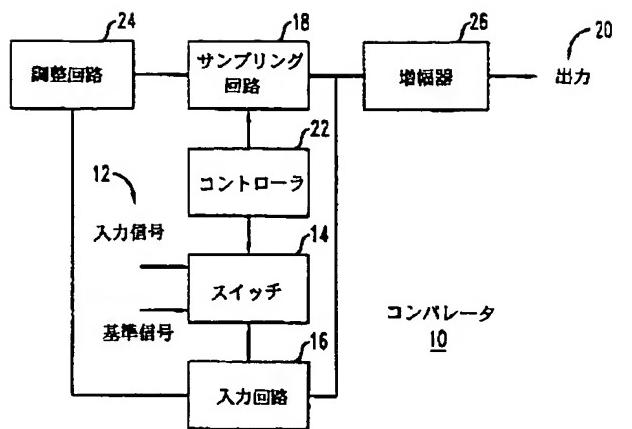
32 スイッチ

34 スイッチ

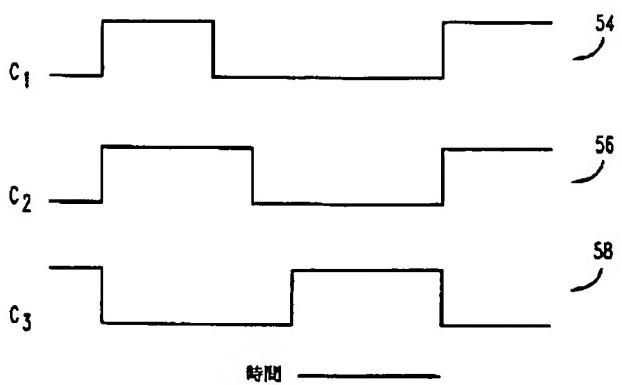
36 MOSFET

38 スイッチ
40 キャパシタ
44 MOSFET
46 MOSFET
48 MOSFET
50 MOSFET
52 MOSFET
54 パルス
56 パルス
58 パルス
60 コンパレータ回路
62 MOSFET
64 MOSFET
66 MOSFET
68 出力
70 MOSFET
72 抵抗列
74 抵抗列
76 相補型デバイス
78 相補型デバイス
80 MOSFET
82 MOSFET
84 コンパレータ
86 コンパレータ
88 トランジスタ
88 トランジスタ
90 トランジスタ
92 スイッチ
96 トランジスタ
98 トランジスタ
100 インバータ
102 出力ノード
104 スイッチ
106 キャパシタ
108 差動コンパレータ
110 スイッチ
112 スイッチ
114 スイッチ
116 スイッチ
118 入力デバイス
120 入力デバイス
122 スイッチ
124 スイッチ
126 MOSFET
128 MOSFET
130 キャパシタ
132 電流バイアス
134 出力ノード
136 出力ノード

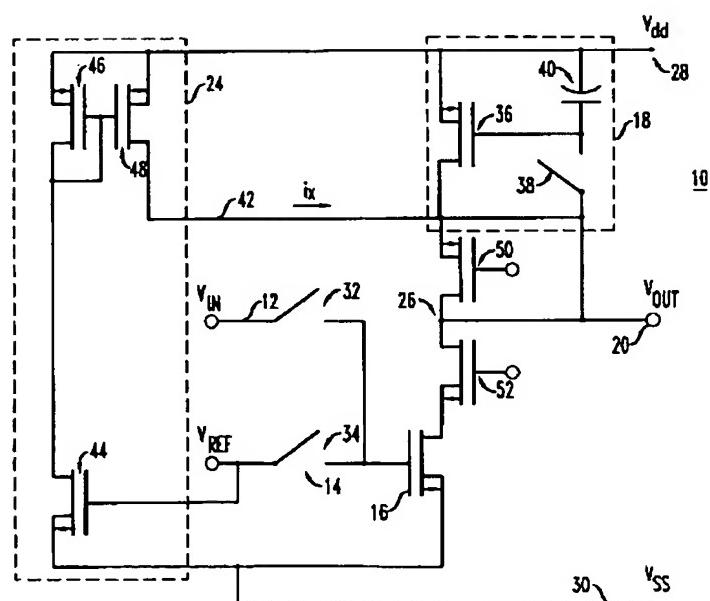
【図1】



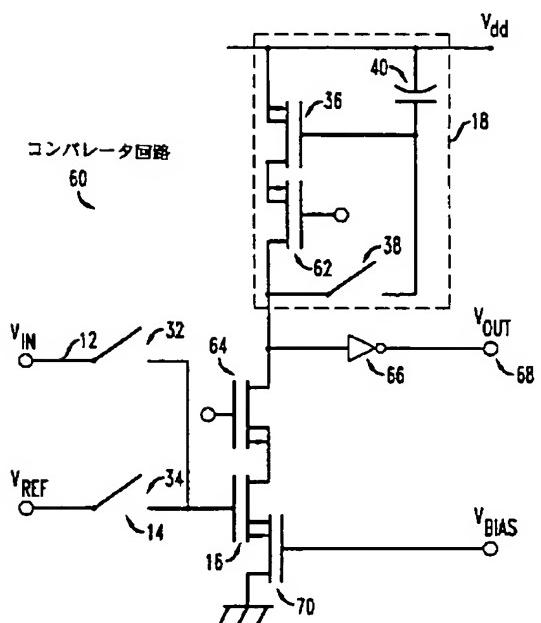
【図3】



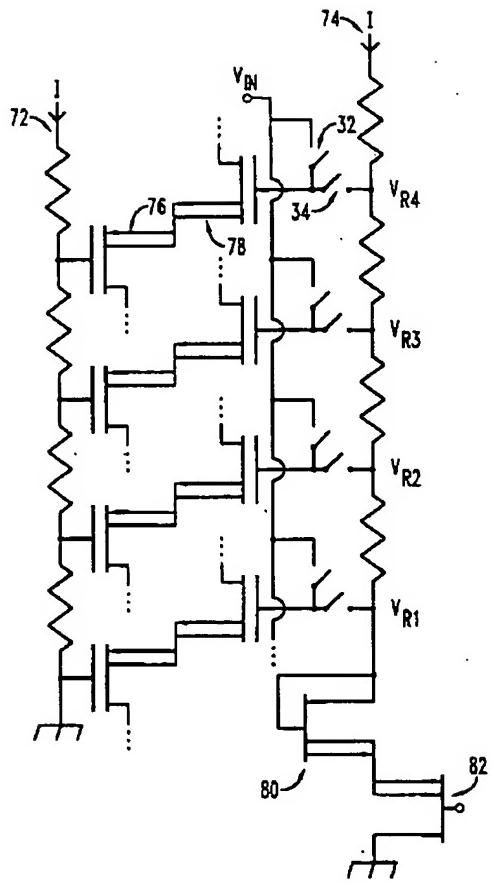
【図2】



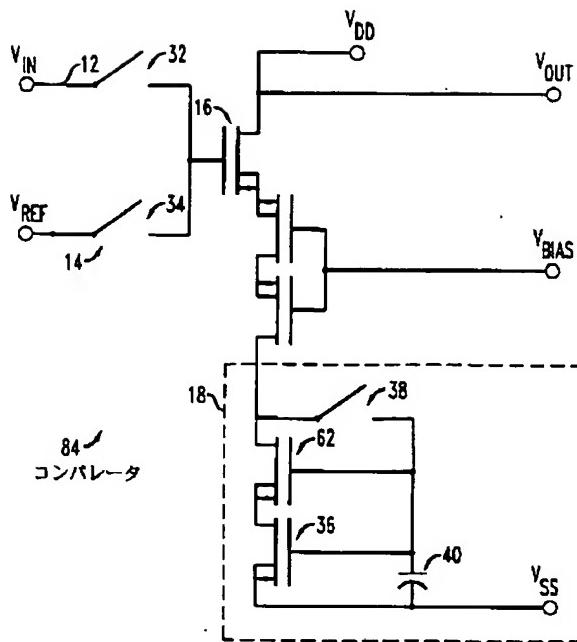
【図4】



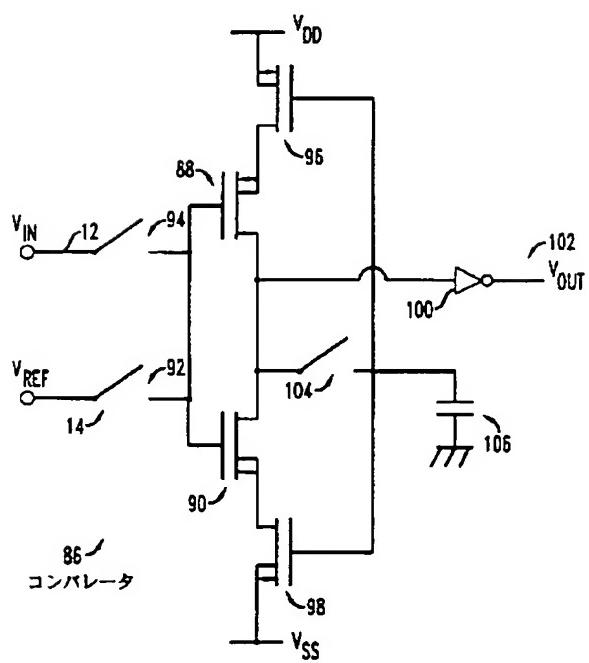
【図5】



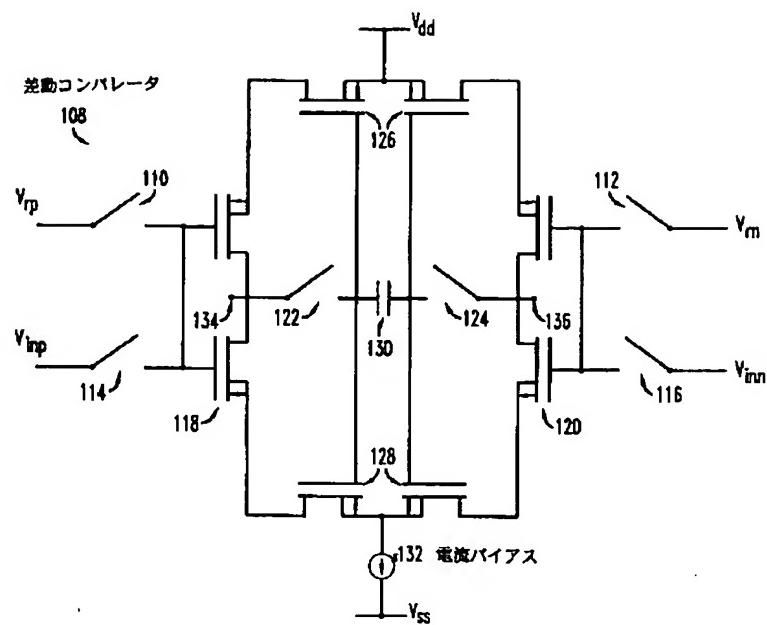
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 サヤムクランガラ ラマスワミ ヴィスワ
ナサン
アメリカ合衆国、75244 テキサス、アデ
イソン、ベルトウェイ ドライブ 4051,
アパートメント 204